

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



1/\$

PTO/SB/21 (08-03)

Approved for use through 08/30/2003. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

<b>TRANSMITTAL FORM</b>  (to be used for all correspondence after initial filing)	Application Number	10/604,508	
	Filing Date	07/28/2003	
	First Named Inventor	Shih-Huang Huang	
	Art Unit	2818	
	Examiner Name	Auduong, Genenghia	
Total Number of Pages in This Submission	5	Attorney Docket Number	MTKP0053USA

ENCLOSURES (Check all that apply)		
<input checked="" type="checkbox"/> Fee Transmittal Form	<input type="checkbox"/> Drawing(s)	<input type="checkbox"/> After Allowance communication to Technology Center (TC)
<input type="checkbox"/> Fee Attached	<input type="checkbox"/> Licensing-related Papers	<input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences
<input type="checkbox"/> Amendment/Reply	<input checked="" type="checkbox"/> Petition	<input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief)
<input type="checkbox"/> After Final	<input type="checkbox"/> Petition to Convert to a Provisional Application	<input type="checkbox"/> Proprietary Information
<input type="checkbox"/> Affidavits/declaration(s)	<input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address	<input type="checkbox"/> Status Letter
<input type="checkbox"/> Extension of Time Request	<input type="checkbox"/> Terminal Disclaimer	<input type="checkbox"/> Other Enclosure(s) (please identify below):
<input type="checkbox"/> Express Abandonment Request	<input type="checkbox"/> Request for Refund	1. PETITION - Correction of Foreign Priority Papers and New Declaration
<input type="checkbox"/> Information Disclosure Statement	<input type="checkbox"/> CD, Number of CD(s) _____	2. Declaration
<input checked="" type="checkbox"/> Certified Copy of Priority Document(s)	Remarks	
<input checked="" type="checkbox"/> Response to Missing Parts/ Incomplete Application		
<input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53		
<b>SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT</b>		
Firm or Individual name	Winston Hsu, Reg. No.: 41,526	
Signature	<i>Winston Hsu</i>	
Date	3/30/2004	

CERTIFICATE OF TRANSMISSION/MAILING			
I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.			
Typed or printed name	/		
Signature		Date	

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



## PATENT

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

5	Applicant:	Shih-Huang Huang	Examiner:	Auduong, Genenghia
	Recordation Date:	07/28/2003	Art Unit:	2818
	Serial No.:	10/604,508	Docket No.:	MTKP0053 USA

**Title:** Pre-Charge and Sense-Out Circuit for Differential Type ROM


To: Commissioner for Patents  
P.O. BOX 1450  
Alexandria, VA 22313-1450

15 Subject: Correction of Foreign Priority Papers and New Declaration

Dear Sir or Madam,

Due to a clerical error, the foreign priority papers originally filed with the  
20 above-identified application are incorrect. Please accept the accompanying Taiwan  
ROC application 092107926 as a replacement for the originally filed foreign priority  
papers, and please accept the accompanying new declaration complying with 37 CFR  
1.63.

25 Sincerely,

30   
Winston Hsu, Patent Agent No. 41,526  
P.O. BOX 506  
Merrifield, VA 22116  
U.S.A.  
e-mail : winstonhsu@naipo.com.tw

Date: 3/30/2004



PTO/SB/17 (10-03)

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

# FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$ ) 130.00

**Complete if Known**

Application Number	10/604,508
Filing Date	07/28/2003
First Named Inventor	Shih-Huang Huang
Examiner Name	Auduong, Genenghia
Art Unit	2818
Attorney Docket No.	MTKP0053USA

**METHOD OF PAYMENT** (check all that apply)☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None☒ Deposit Account:Deposit Account Number: 50-0801  
Deposit Account Name: North America International Patent Office

The Director is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☒ Credit any overpayments☒ Charge any additional fee(s) or any underpayment of fee(s)☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.**FEE CALCULATION****1. BASIC FILING FEE**

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	770	2001	385	Utility filing fee	
1002	340	2002	170	Design filing fee	
1003	530	2003	265	Plant filing fee	
1004	770	2004	385	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	
SUBTOTAL (1)					(\$ ) 0.00

**2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE**

Total Claims		Extra Claims		Fee from below		Fee Paid	
Independent Claims		-20** =		X			
Multiple Dependent		-3** =		X			

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1202	18	2202	9	Claims in excess of 20	
1201	86	2201	43	Independent claims in excess of 3	
1203	290	2203	145	Multiple dependent claim, if not paid	
1204	86	2204	43	** Reissue independent claims over original patent	
1205	18	2205	9	** Reissue claims in excess of 20 and over original patent	
SUBTOTAL (2)					(\$ ) 0.00

\*\*or number previously paid, if greater; For Reissues, see above

**FEE CALCULATION** (continued)**3. ADDITIONAL FEES**

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
1053	130	1053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for <i>ex parte</i> reexamination	
1804	920*	1804	920*	Requesting publication of SIR prior to Examiner action	
1805	1,840*	1805	1,840*	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	
1252	420	2252	210	Extension for reply within second month	
1253	950	2253	475	Extension for reply within third month	
1254	1,480	2254	740	Extension for reply within fourth month	
1255	2,010	2255	1,005	Extension for reply within fifth month	
1401	330	2401	165	Notice of Appeal	
1402	330	2402	165	Filing a brief in support of an appeal	
1403	290	2403	145	Request for oral hearing	
1451	1,510	1451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,330	2453	665	Petition to revive - unintentional	
1501	1,330	2501	665	Utility issue fee (or reissue)	
1502	480	2502	240	Design issue fee	
1503	640	2503	320	Plant issue fee	
1460	130	1460	130	Petitions to the Commissioner	130.00
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	770	2809	385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810	770	2810	385	For each additional invention to be examined (37 CFR 1.129(b))	
1801	770	2801	385	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify)

\*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$ ) 130.00

**SUBMITTED BY**

(Complete if applicable)

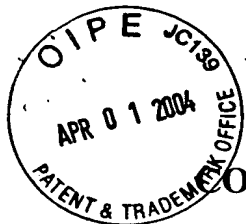
Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature	<i>Winston Hsu</i>	Date	3/30/2004		

**WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.**

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS.

**SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



## COMBINED DECLARATION AND POWER OF ATTORNEY

As a below named inventor , I hereby declare that :

I believe I am the sole (if only one name appears below ) , or joint (if more than one name appears) , original and first inventor of the subject matter which is claimed and for which a patent is sought on the invention entitled :

**"PRE-CHARGE AND SENSE-OUT CIRCUIT FOR DIFFERENTIAL TYPE ROM"**

0

The specification for the above entitled invention is filed herewith.

+

The specification for the above entitled invention was filed previously

with application serial number: 10 / 604,508 Filing Date: 2003 / 7 / 28

I hereby state that I have reviewed and understand the contents of the above identified specification, including the claims, as amended by any amendment referred to above.

I acknowledge the duty to disclose information which is material to the patentability of the invention disclosed in this application in accordance with Title 37, Code of Federal Regulations, Section 1.56 (a). I further acknowledge the duty in any continuation-in-part application to disclose to the Patent and Trademark Office all information known to be material to the patentability of the invention disclosed in this application, as defined in 1.56, which became available to me between the filing date of the prior application and the filing date of this application.

### PRIORITY CLAIM

       There is no claim of priority

+

Claim of priority is based on the following:

Filing no. in Taiwan, R.O.C.: 092107926

Filing date in Taiwan, R.O.C.: 2003 / 4 / 7

### POWER OF ATTORNEY

As a named inventor, I hereby appoint the following attorneies to prosecute this application and to transact all related business in the Patent and Trademark Office:

Winston Hsu

Registration# 41,526

P.O. Box 506,  
Merrifield, Virginia 22116,  
U.S.A

E-mail : winstonhsu@naipo.com.tw

TEL: +886-2-89237350 \*100



## DECLARATION

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment or both under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the application or any patent issued hereon.

(請發明人務必簽署日期)

Date: \_\_\_\_\_

Shih-Huang Huang

Printed Name: Shih-Huang Huang

Post Office Address: No. 22, Lane 210, Tung-Nan St., Hsin-Chu City,  
Taiwan, R.O.C.

Citizen of: R.O.C.



PTO/SB/02B (11-00)

Approved for use through 10/31/2002. OMB 0651-0032

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

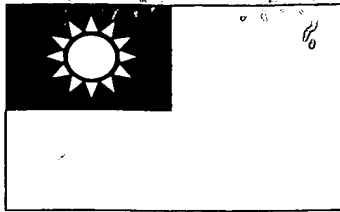
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

**DECLARATION — Supplemental Priority Data Sheet**

## Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092107926	Taiwan R.O.C	04/07/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



MTK-53

## 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 04 月 07 日  
Application Date

申請案號：092107926  
Application No.

申請人：聯發科技股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 9 月 16 日  
Issue Date

發文字號：09220933460  
Serial No.

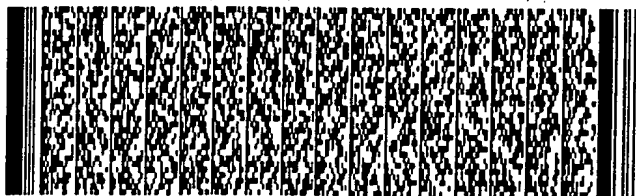


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	差動式唯讀記憶體之預先充電及感測電路
	英 文	PRECHARGE AND SENSE OUT CIRCUIT FOR DIFFERENTIAL TYPE ROM
二、 發明人 (共1人)	姓 名 (中文)	1. 黃世煌
	姓 名 (英文)	1. Huang, Shih-Huang
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 新竹市東南街二一〇巷一弄二十二號
	住居所 (英 文)	1. No. 22, Lane 210, Tung-Nan St., Hsin-Chu City, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 聯發科技股份有限公司
	名稱或 姓 名 (英文)	1. MediaTek Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹市新竹科學工業園區創新一路13號1F (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 1F, No. 13, Innovation Road 1, Science-Based Industrial Park, Hsin-Chu City, Taiwan, R.O.C.
	代表人 (中文)	1. 蔡明介
	代表人 (英文)	1. Tsai, Ming-Kai



四、中文發明摘要 (發明名稱：差動式唯讀記憶體之預先充電及感測電路)

一種差動式唯讀記憶體之預先充電及感測電路，該記憶體單元可連接於一第一位元線或一第二位元線，該預先充電及感測電路包含有一預先充電模組，電連接於該第一及第二位元線，用來對該第一及第二位元線進行預先充電；一選擇模組，電連接於該第一位元線、該第二位元線、一第一資料線及一第二資料線，用來依據一第一控制訊號以傳送資料；一電荷分配模組，電連接於該第一及第二資料線，用來依據一第二控制訊號分配電荷至該第一及第二資料線；以及一感測模組，電連接於該第一及第二資料線，用來感測該第一及第二資料線之訊號以產生一輸出訊號。

伍、(一)、本案代表圖為：第 2 圖

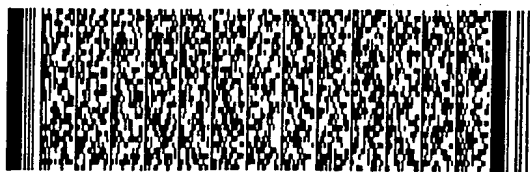
(二)、本案代表圖之元件代表符號簡單說明：

30 預先充電及感測電路

32 預先充電模組

六、英文發明摘要 (發明名稱：PRECHARGE AND SENSE OUT CIRCUIT FOR DIFFERENTIAL TYPE ROM)

A pre-charge and sense out circuit for differential type ROM. The ROM is capable of connecting to either a first bit line or a second bit line. The pre-charge and sense out circuit contains a pre-charging module electrically connected to the first and the second bit lines, for pre-charging the first and the second bit lines; a selecting module electrically connected

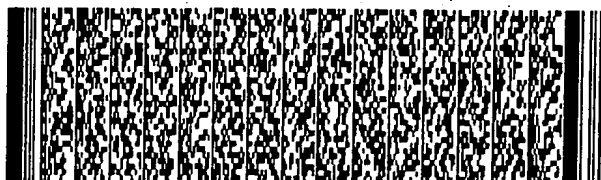


四、中文發明摘要 (發明名稱：差動式唯讀記憶體之預先充電及感測電路)

34	選擇模組	36	電荷分配模組
38	感測模組	40	記憶體單元陣列
42	記憶體單元		
44、46、48、50、60、62、64、66、68、70、78、			
80、82、84			NMOS電晶體
52、54			電容
56、58、72、74、76			PMOS電晶體

六、英文發明摘要 (發明名稱：PRECHARGE AND SENSE OUT CIRCUIT FOR DIFFERENTIAL TYPE ROM)

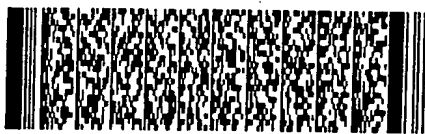
to the first bit line, the second bit line, a first data line, and a second data line, for transmitting data according to a first control signal; a charge sharing module electrically connected to the first and the second data lines, for sharing electrical charges to the first and the second data lines; and a sensing module electrically connected to the first and the



四、中文發明摘要 (發明名稱：差動式唯讀記憶體之預先充電及感測電路)

六、英文發明摘要 (發明名稱：PRECHARGE AND SENSE OUT CIRCUIT FOR DIFFERENTIAL TYPE ROM)

second data lines, for sensing signals on the first and the second data lines so as to generate an output signal.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。



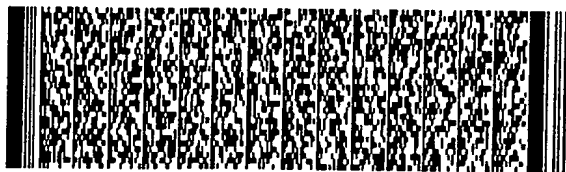
## 五、發明說明 (1)

### 發明所屬之技術領域

本發明提供一種預先充電及感測電路，尤指一種使用於一差動式唯讀記憶體 (Differential Type ROM)、且包含有一電荷分配模組 (Charge Sharing Module) 之預先充電及感測電路。

### 先前技術

於目前市面上之各種電子產品中，記憶體向來為其中十分重要而不可或缺的元件之一。記憶體依照儲存資料方式的不同可分為揮發性記憶體及非揮發性記憶體兩大類，其中揮發性記憶體係指儲存於該記憶體中之數位資料於切斷電源供應之後即會消失不見之資料儲存裝置，揮發性記憶體的優點在於其存取速度快，常用來作為高速之處理單元與其他電路之間的緩衝器，但是揮發性記憶體卻具有無法於切斷電源供應的狀態下繼續保有資料，例如 DRAM、SDRAM 等產品均屬於揮發性記憶體的一種。而非揮發性記憶體則指儲存於該記憶體中之數位資料於切斷電源供應之後仍能夠繼續保存之資料儲存裝置，非揮發性記憶體的優點即在於其能於切斷電源供應的狀態下持續保有資料，而缺點則為其存取速度不似揮發性記憶體一般快速，如 ROM、快閃記憶體等產品則屬於非揮發性記憶體的範疇。

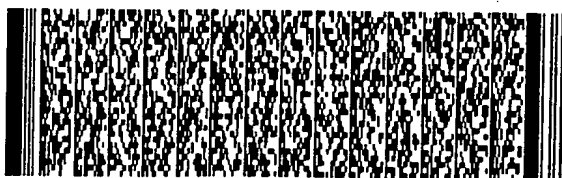


## 五、發明說明 (2)

記憶體應用之領域非常廣泛，除了於一般個人電腦中發揮作為資料儲存裝置的功能之外，隨著資訊科技產業的日漸成熟，上述之各式各樣的記憶體均被大量地運用於如筆記型電腦、個人數位助理 (Personal Digital Assistant, PDA)、行動電話、數位照相機等的電子產品當中，以作為上述各種電子產品儲存數位資料的工具。

一般來說，設置於一電子產品中之記憶體會依照該電子產品之控制訊號來進行下列數種主要之操作模式，即寫入模式 (Write Mode or Program Mode)、消除模式 (Erase Mode)、及讀取模式 (Read Mode)。其中於寫入模式中，該電子產品會依照上述控制訊號之指示將數位資料寫入該記憶體中特定之儲存位址中；於消除模式中，該電子產品會依照上述控制訊號之指示將該記憶體中特定之儲存位址中所儲存之數位資料予以清除；而於讀取模式中，該電子產品則會依照上述控制訊號之指示將該記憶體中特定之儲存位址中所儲存之數位資料讀取出來。

在一記憶體當中，通常包含有一感測電路 (Sense Out Circuit or Sensing Amplifier)，電連接於該記憶體中用來儲存數位資料之記憶體單元陣列，以依照控

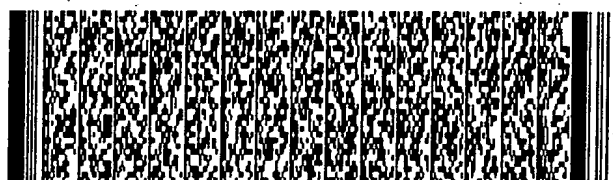
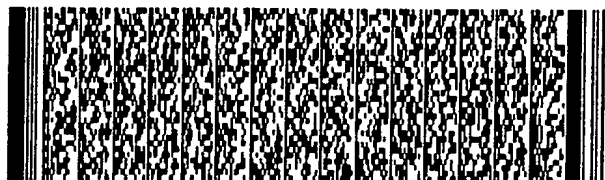


### 五、發明說明 (3)

制訊號之指示將該記憶體單元陣列中特定之儲存位址所儲存的資料讀取出來。在 2001 IEEE International SOI Conference, 10/01發表文件第 143~144頁中即揭露了一

感測電路之架構，請參閱圖一，圖一中顯示習知技術之差動式唯讀記憶體 (Differential Type ROM) 的感測電路之電路圖。於圖一中，該差動式唯讀記憶體包含有一感測電路 10 及一記憶體單元陣列 20，其中記憶體單元陣列 20 包含有複數個記憶體單元 22，記憶體單元 22 之位址係經由複數條字元線 (Word Line)  $WL_1 \sim WL_n$  及複數對位元線 ( $BL_{11}$ 、 $BL_{12}$ )  $\sim$  ( $BL_{n1}$ 、 $BL_{n2}$ ) 來定義，亦即每一條字元線及每一對位元線之交叉處均具有一記憶體單元 22 電連接至該字元線及該對位元線。

於圖一中，記憶體單元 22 係由二 NMOS 電晶體所組成，於將資料寫入記憶體單元 22 之前，該二 NMOS 電晶體之源極均接地，其閘極均電連接於該字元線，而其汲極則分別電連接於該對位元線之其中一條 (例如於圖一中位於左邊之 NMOS 電晶體電連接於左邊之位元線，位於右邊之 NMOS 電晶體則電連接於右邊之位元線)。當欲將邏輯資料寫入記憶體單元 22 時，則須將該二 MOS 電晶體與位元線之間之連結截斷 (例如用雷射光燒斷，於圖一中係以 X 記號代表連結被截斷)，以代表將邏輯值不同之資料寫入該記憶體單元 22 中。於以下之說明中，將以當左邊之連結被截斷時代表於記憶體單元 22 中儲存有邏輯值



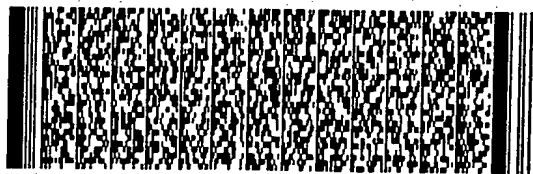


#### 五、發明說明 (4)

"1"，並以當右邊之連結被截斷時代表於記憶體單元 22 中儲存有邏輯值 "0"。

接下來將以上述之位元線 ( $BL_{11}$ 、 $BL_{12}$ )  $\sim$  ( $BL_{m1}$ 、 $BL_{m2}$ ) 中之其中一對為例來進行說明，例如位元線 ( $BL_{11}$ 、 $BL_{12}$ )，第一位元線  $BL_{11}$  及第二位元線  $BL_{12}$  係電連接於感測電路 10，感測電路 10 包含有一第一預先充電模組 12，電連接於第一位元線  $BL_{11}$  及第二位元線  $BL_{12}$ ，用來對第一位元線  $BL_{11}$  及第二位元線  $BL_{12}$  進行預先充電；一第二預先充電模組 16，電連接於一第一資料線  $DL_1$  及一第二資料線  $DL_2$ ，用來對第一資料線  $DL_1$  及一第二資料線  $DL_2$  進行預先充電；一選擇模組 14，電連接於第一位元線  $BL_{11}$  和第一資料線  $DL_1$  之間、以及第二位元線  $BL_{12}$  和第二資料線  $DL_2$  之間，用來依據一控制訊號 Y1 將第一位元線  $BL_{11}$  之訊號傳送至第一資料線  $DL_1$  及將第二位元線  $BL_{12}$  之訊號傳送至第二資料線  $DL_2$ ，以於第一資料線  $DL_1$  及第二資料線  $DL_2$  上產生相對應於該記憶體單元 22 中所儲存之邏輯資料的輸出訊號。

當該記憶體於進行資料讀取時，僅會選取複數對位元線 ( $BL_{11}$ 、 $BL_{12}$ )  $\sim$  ( $BL_{m1}$ 、 $BL_{m2}$ ) 之其中一對位元線，例如上述之位元線 ( $BL_{11}$ 、 $BL_{12}$ )，並且在連接於該對位元線之複數個記憶體單元 22 當中亦僅會選取相對應於其中一條字元線 (例如上述之字元線  $WL_1$ ) 之記憶體單元 22



#### 五、發明說明 (5)

進行讀取。然而，為了防止連接於同一感測電路 10、但卻未被選取之其他位元線 ( $BL_{21}$ 、 $BL_{22}$ ) ~ ( $BL_{n1}$ 、 $BL_{n2}$ ) 上的記憶體單元 22 產生之漏電流效應 (Leakage Current) 可能會使感測電路 10 之讀取動作發生錯誤，於習知技術之感測電路 10 中，選擇模組 14 係使用高臨界電壓元件 (High- $V_{TH}$  Device) 來將位元線及資料線隔開，也就是說，於圖一中，選擇模組 14 中之二 NMOS 電晶體係具有較高之臨界電壓值，以防止漏電流可能造成的問題。

但是於選擇模組 14 中使用高臨界電壓元件卻會產生一個很大的缺陷，亦即一般來說高臨界電壓元件開啟的時間均較正常元件來得長，這將造成該記憶體在讀取資料之際，欲使用控制訊號 Y1 將該等高臨界電壓元件開啟時，需要較長的操作時間才能達到此一目的，如此則該記憶體之讀取時間 (Access Time) 將受到很大的影響。

#### 發明內容

因此本發明之主要目的在於提供一種包含有一電荷分配模組之預先充電及感測電路，以解決上述習知的問題。

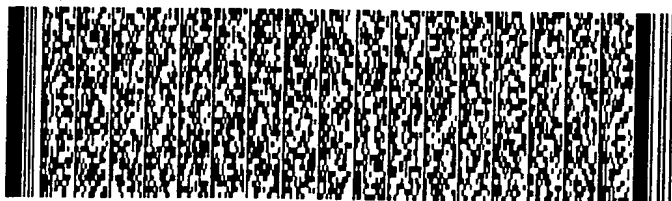
根據本發明之申請專利範圍，係揭露一種一種差動式唯讀記憶體之預先充電及感測電路，用來感測該唯讀



##### 五、發明說明 (6)

記憶體之記憶體單元中所儲存之邏輯資料，該記憶體單元可連接於一第一位元線或一第二位元線，用來供應該第一位元線或該第二位元線數位訊號，該預先充電及感測電路包含有一預先充電模組，電連接於該第一位元線及該第二位元線，用來對該第一位元線及該第二位元線、進行預先充電；一選擇模組，電連接於該第一位元線、該第二位元線、一第一資料線及一第二資料線，用來依該第一資料線及將該第二資料線之訊號傳送至該第一資料線及將該第一資料線之訊號傳送至該第二資料線；一電荷分配模組，電連接於該第一資料線及該第二資料線，並依據一第一控制訊號及一第二控制訊號，將該第一資料線之電荷分配至該第一資料線及該第二資料線，並依據一第二控制訊號，將該第二資料線之電荷分配至該第二資料線及該第一資料線；一感測電路，電連接於該第一資料線及該第二資料線，感測該第一資料線及該第二資料線之訊號。

本發明係利用一預先充電模組及一電荷分配模組將該第一位元線、該第二位元線、一第一資料線及一第二資料線均預先充電至接地電壓，如此則被選取之第一位元線及被選取之第二位元線之漏電流效應之影響，而該電荷分配模組亦會於該第一位元線及該第二位元線之訊號進入時對該第一資料線及該第二資料線進行電荷分配，進而加快了該第一資料線及該第二資料線之訊號進入。



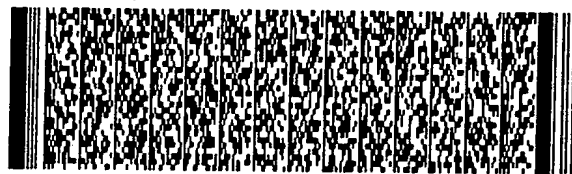
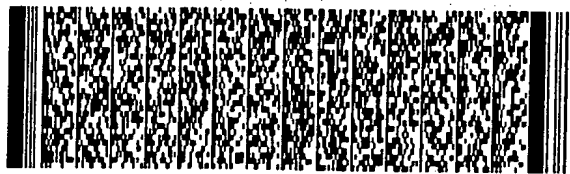
## 五、發明說明 (7)

穩定狀態的速度。

### 實施方式

請參閱圖二，圖二中顯示本發明之差動式唯讀記憶體的預先充電及感測電路之電路圖。於圖二中，該差動式唯讀記憶體包含有一預先充電及感測電路 30 及一記憶體單元陣列 40，其中記憶體單元陣列 40 包含有複數個記憶體單元 42，其中記憶體單元陣列 40 係與上述習知技術之圖一中的記憶體單元陣列 20 相同，記憶體單元 42 之位址係經由複數條字元線  $WL_1 \sim WL_n$  及複數對位元線  $(BL_{11}, BL_{12}) \sim (BL_{n1}, BL_{n2})$  來定義，亦即每一條字元線及每一對位元線之交叉處均具有一記憶體單元 42 電連接至該字元線及該對位元線。

於圖二中，記憶體單元 42 係由二 NMOS 電晶體所組成，於將資料寫入記憶體單元 42 之前，該二 NMOS 電晶體之源極均接地，其閘極均電連接於該字元線，而其汲極則分別電連接於該對位元線之其中一條（例如於圖一中位於左邊之 NMOS 電晶體電連接於左邊之位元線，位於右邊之 NMOS 電晶體則電連接於右邊之位元線）。當欲將邏輯資料寫入記憶體單元 42 時，則須將該二 MOS 電晶體與位元線之間之連結截斷（例如用雷射光燒斷），以代表將邏輯值不同之資料寫入該記憶體單元 42 中。於以下之說

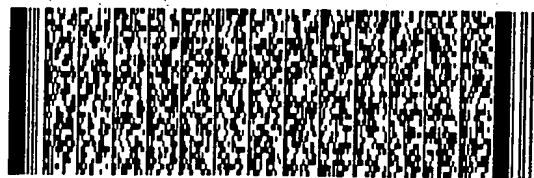


#### 五、發明說明 (8)

明中，將以當左邊之連結被截斷時代表於記憶體單元 42 中儲存有邏輯值 "1"，並以當右邊之連結被截斷時代表於記憶體單元 42 中儲存有邏輯值 "0"。

接下來將以上述之位元線 ( $BL_{11}$ 、 $BL_{12}$ )  $\sim$  ( $BL_{m1}$ 、 $BL_{m2}$ ) 中之其中一對為例來進行說明，例如位元線 ( $BL_{11}$ 、 $BL_{12}$ )，第一位元線  $BL_{11}$  及第二位元線  $BL_{12}$  係電連接於預先充電及感測電路 30，預先充電及感測電路 30 包含有一預先充電模組 32，電連接於第一位元線  $BL_{11}$  及第二位元線  $BL_{12}$ ，用來對第一位元線及  $BL_{11}$  第二位元線  $BL_{12}$  進行預先充電；一選擇模組 34，電連接於第一位元線  $BL_{11}$ 、第二位元線  $BL_{12}$ 、一第一資料線  $DL_1$  及一第二資料線  $DL_2$ ，用來依據一第一控制訊號  $Y1$  將第一位元線  $BL_{11}$  之訊號傳送至第一資料線  $DL_1$  及將第二位元線  $BL_{12}$  之訊號傳送至第二資料線  $DL_2$ ；一電荷分配模組 36，電連接於第一資料線  $DL_1$  及第二資料線  $DL_2$ ，用來對第一資料線  $DL_1$  及第二資料線  $DL_2$  進行預先充電，並依據一第二控制訊號  $TWL$  將電荷分配模組 36 中所儲存之電荷分配至第一資料線  $DL_1$  及第二資料線  $DL_2$ ；以及一感測模組 38，電連接於第一資料線  $DL_1$  及第二資料線  $DL_2$ ，用來感測第一資料線  $DL_1$  及第二資料線  $DL_2$  之訊號以產生一輸出訊號。

請注意，於先前段落中雖僅以一對位元線 ( $BL_{11}$ 、 $BL_{12}$ ) 為例說明，但是於實際應用中通常會有複數對位元

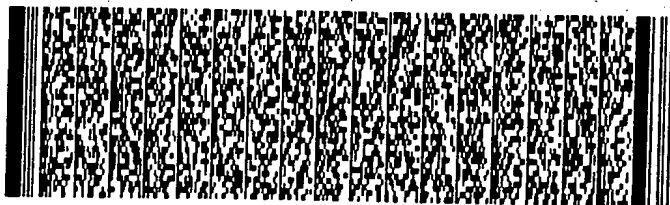


#### 五、發明說明 (9)

線分別透過不同的選擇模組 34 電連接於同一對第一及第二資料線  $DL_1$ 、 $DL_2$  上。

如圖二所示，於本實施例中，預先充電模組 32 係包含有一第一充電 NMOS 電晶體 44，其汲極電連接於第一位元線  $BL_{11}$ ，其閘極電連接於第一控制訊號 Y1 之反相訊號  $Y1b$ ，其源極接地，第一充電 NMOS 電晶體 44 會依據第一控制訊號 Y1 之反相訊號  $Y1b$  之控制而開啟以對第一位元線  $BL_{11}$  進行預先充電；以及一第二充電 NMOS 電晶體 46，其汲極電連接於第二位元線  $BL_{12}$ ，其閘極電連接於第一控制訊號 Y1 之反相訊號  $Y1b$ ，其源極接地，第二充電 NMOS 電晶體 46 亦會依據第一控制訊號 Y1 之反相訊號  $Y1b$  之控制而開啟以對第二位元線  $BL_{12}$  進行預先充電。選擇模組 34 則包含有一第一選擇 NMOS 電晶體 48，其汲極電連接於第一位元線  $BL_{11}$ ，其閘極電連接於第一控制訊號 Y1，其源極電連接於第一資料線  $DL_1$ ；以及一第二選擇 NMOS 電晶體 50，其汲極電連接於第二位元線  $BL_{12}$ ，其閘極電連接於第一控制訊號 Y1，其源極電連接於第二資料線  $DL_2$ 。

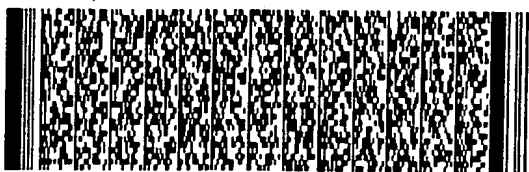
又如圖二所示，於本實施例中，電荷分配模組 36 包含有一第一電容 52，其一端電連接於一第一節點 N 而另一端接地，用來儲存欲分配至第一資料線 DL 之電荷；一第一 PMOS 電晶體 56，其源極電連接於一電源供應電壓  $V_{DD}$ ，其閘極電連接於第二控制訊號 TWL，其汲極電連接於



#### 五、發明說明 (10)

第一節點  $N_1$ ；一第一 NMOS 電晶體 60，其汲極電連接於第一節點  $N_1$ ，其閘極電連接於第二控制訊號 TWL，其源極電連接於第一資料線  $DL_1$ ；一第二電容 54，其一端電連接於一第二節點  $N_2$  而另一端接地，用來儲存欲分配至第二資料線  $DL_2$  之電荷；一第二 PMOS 電晶體 58，其源極電連接於電源供應電壓  $V_{DD}$ ，其閘極電連接於第二控制訊號 TWL，其汲極電連接於第二節點  $N_2$ ；以及一第二 NMOS 電晶體 62，其汲極電連接於第二節點  $N_2$ ，其閘極電連接於第二控制訊號 TWL，其源極電連接於第二資料線  $DL_2$ 。當第二控制訊號 TWL 為低電壓（即邏輯值 "0"）時，第一及第二 NMOS 電晶體 60、62 會被關閉，而第一及第二 PMOS 電晶體 56、58 則會被開啟，如此一來被開啟之第一及第二 PMOS 電晶體 56、58 即會利用其開啟之通道對第一及第二電容 52、54 進行充電以使得第一及第二電容 52、54 中儲存有電荷；接下來當第二控制訊號 TWL 被切換為高電壓（即邏輯值 "1"）時第一及第二 PMOS 電晶體 56、58 會被關閉，而第一及第二 NMOS 電晶體 60、62 則會被開啟，如此一來被開啟之第一及第二 NMOS 電晶體 60、62 即會利用其開啟之通道分別對第一及第二資料線  $DL_1$ 、 $DL_2$  進行電荷分配。

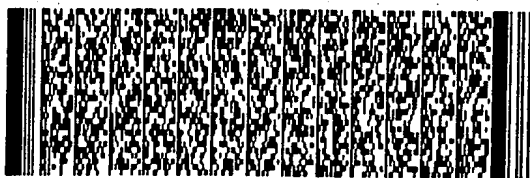
此外，電荷分配模組 36 亦包含有一第三 NMOS 電晶體 64，其汲極電連接於第一資料線  $DL_1$ ，其閘極電連接於第二控制訊號 TWL 之反相訊號  $TWLB$ ，其源極接地，第三 NMOS 電晶體 64 會依據第二控制訊號 TWL 之反相訊號  $TWLB$  之控制



##### 五、發明說明 (11)

而開啟以對第一資料線  $DL$  進行預先充電；以及一第四 NMOS 電晶體 66，其汲極電連接於第二資料線  $DL_2$ ，其閘極電連接於第二控制訊號  $TWL$  之反相訊號  $TWLB$ ，其源極接地。第四 NMOS 電晶體 66 亦會依據第二控制訊號  $TWL$  之反相訊號  $TWLB$  之控制而開啟以對第二位元線  $DL$  進行預先充電。

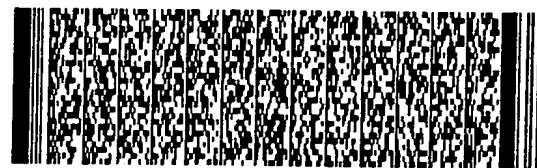
如圖二所示，於本實施例中，感測模組 38 則包含有一第一隔離 NMOS 電晶體 68，其汲極電連接於第一資料線  $DL_1$ ，其閘極電連接於一第三控制訊號  $FIC$ ，其源極電連接於一第一輸出訊號線  $OUT_1$ ；一第二隔離 NMOS 電晶體 70，其汲極電連接於第二資料線  $DL_2$ ，其閘極電連接於第三控制訊號  $FIC$ ，其源極電連接於一第二輸出訊號線  $OUT_2$ ；一第一反向器，其輸入端電連接於第二輸出訊號線  $OUT_2$ ，其輸出端電連接於第一輸出訊號線  $OUT_1$ ；以及一第二反向器，其輸入端電連接於第一輸出訊號線  $OUT_1$ ，其輸出端電連接於第二輸出訊號線  $OUT_2$ ；其中前述之輸出訊號係產生於第一輸出訊號線  $OUT_1$  上，而該輸出訊號之反相訊號則產生於第二輸出訊號線  $OUT_2$  上。於上述之電路組態下，在資料讀取的過程中，第一及第二隔離 NMOS 電晶體 68、70 會於適當的時間依據第三控制訊號  $FIC$  而被開啟，以將第一資料線  $DL_1$  上之訊號傳送至第一輸出訊號線  $OUT_1$ ，並將第二資料線  $DL_2$  上之訊號傳送至第二輸出訊號線  $OUT_2$ ，而由該第一及第二反向器所組成之門鎖器將該等訊號門鎖住以產生該輸出訊號。





## 五、發明說明 (12)

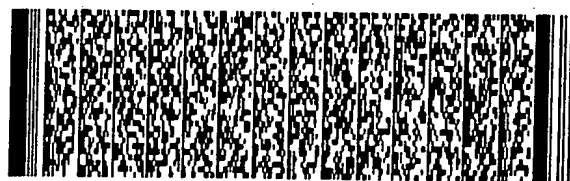
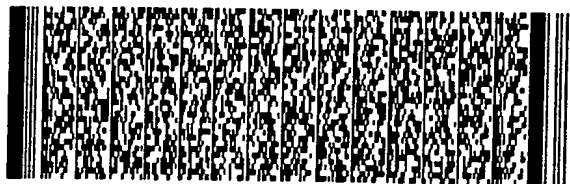
於圖二中，感測模組 38 另包含有一致能 PMOS 電晶體 72，其源極電連接於電源供應電壓  $V_{DD}$ ，其閘極電連接於一第四控制訊號 SAEB，其汲極電連接於該第一反向器及該第二反向器，用來依據第四控制訊號 SAEB 控制感測電路 38 之致能 (Enable) 及失能 (Disable)。於本實施例中，該第一反向器包含有一 PMOS 電晶體 74 及一 NMOS 電晶體 78，PMOS 電晶體 74 及 NMOS 電晶體 78 之閘極相連接以作為該第一反向器之輸入端，PMOS 電晶體 74 及 NMOS 電晶體 78 之汲極相連接以作為該第一反向器之輸出端，PMOS 電晶體 74 之源極電連接於致能 PMOS 電晶體 72 之汲極，而 NMOS 電晶體 78 之源極則接地。同樣地，該第二反向器包含有一 PMOS 電晶體 76 及一 NMOS 電晶體 80，PMOS 電晶體 76 及 NMOS 電晶體 80 之閘極相連接以作為該第二反向器之輸入端，PMOS 電晶體 76 及 NMOS 電晶體 80 之汲極相連接以作為該第二反向器之輸出端，PMOS 電晶體 76 之源極電連接於致能 PMOS 電晶體 72 之汲極，而 NMOS 電晶體 80 之源極則接地。於上述之電路組態下，則當第四控制訊號 SAEB 將致能 NMOS 電晶體 72 之通道關閉時，該第一及第二反向器將失去偏壓而無法動作；相反地，當第四控制訊號 SAEB 致能 NMOS 電晶體 72 之通道開啟時，該第一及第二反向器將正常動作而門鎖位於第一及第二輸出訊號線  $OUT_1$ 、 $OUT_2$  上之訊號。



#### 五、發明說明 (13)

此外，感測模組 38 亦包含有一第三 NMOS 電晶體 82，其汲極電連接於第一輸出訊號線  $OUT_1$ ，其閘極電連接於一第五控制訊號 PC，其源極接地，用來對第一輸出訊號線  $OUT$  進行預先充電；以及一第四 NMOS 電晶體 84，其汲極電連接於第二輸出訊號線  $OUT_2$ ，其閘極電連接於第五控制訊號 PC，其源極接地，用來對第二輸出訊號線  $OUT_2$  進行預先充電。第三及第四 NMOS 電晶體 82、84 係會依據第五控制訊號 PC 之控制而開啟以分別對第一輸出訊號線  $OUT$  及第二輸出訊號線  $OUT$  進行預先充電。於圖二中，第五控制訊號 PC 係由第三控制訊號 FIC 之反相訊號與第四控制訊號 SAEB 進行 AND 邏輯運算所產生，亦即當第三控制訊號 FIC 之反相訊號及第四控制訊號 SAEB 當中任一訊號之值為邏輯值 "0" 時，第五控制訊號即切換為邏輯值 "0" 以將第三及第四 NMOS 電晶體 82、84 關閉。

接下來圖二及圖三以詳細說明本發明之預先充電及感測電路 30 的操作原理，圖三中顯示本發明之預先充電及感測電路 30 於讀取記憶體單元陣列 40 中其中一個記憶體單元 42（例如字元線  $WL$  及位元線（ $BL_{11}$ 、 $BL_{12}$ ）之交叉處的記憶體單元 52）中所儲存之數位資料時，圖二中各控制訊號及訊號線之時序圖。於圖三中係分別依序列出第一控制訊號  $Y1$ 、第二控制訊號  $TWL$ 、第三控制訊號 FIC、及第四控制訊號 SAEB，以及第一位元線  $BL_{11}$ 、第二位元線  $BL_{12}$ 、第一資料線  $DL_1$ 、第二資料線  $DL_2$ 、第一輸出

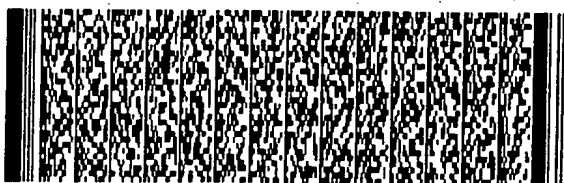
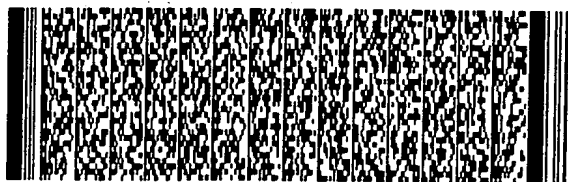


#### 五、發明說明 (14)

訊號線  $OUT_1$ 、及第二輸出訊號線  $OUT_2$  上之訊號。

請注意，為了說明及比較之方便，於圖三當中係分別將四個主動之控制訊號  $Y1$ 、 $TWL$ 、 $FIC$ 、 $SAEB$  放置於同一時間軸上，而將其他被動之訊號  $BL_{11}$ 、 $BL_{12}$ 、 $DL_1$ 、 $DL_2$ 、 $OUT_1$ 、 $OUT_2$  及放置於其他三條時間軸上，如圖三所示。於本實施例中，上述之第一控制訊號  $Y1$  之反相訊號  $Y1b$  及第二控制訊號  $TWL$  之反相訊號  $TWLB$  由於分別與第一控制訊號  $Y1$  及第二控制訊號  $TWL$  呈互補，故無須列於圖三中，而字元線  $WL$  之訊號係與第二控制訊號  $TWL$  為同步，又第五控制訊號  $PC$  係為第三及第四控制訊號  $FIC$ 、 $SAEB$  之邏輯組合，故亦不於圖三中列出。於圖三中，係依照時間順序分別顯示本發明之預先充電及感測電路 30 於第一輸出訊號線  $OUT_1$  上之輸出訊號讀取邏輯值 "1" 及邏輯值 "0" 之過程。

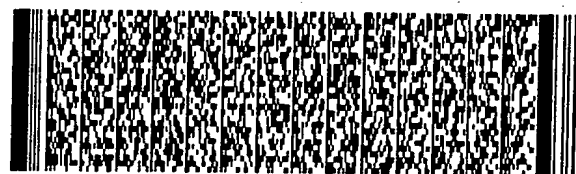
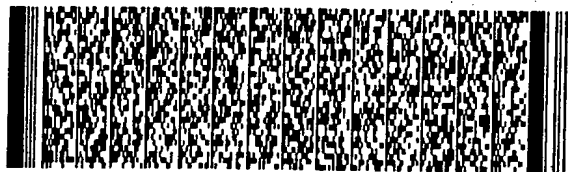
接下來請參閱圖三以說明本發明之預先充電及感測電路 30 於讀取記憶體單元陣列 40 之記憶體單元 42 中所儲存之數位資料 "1" (即當記憶體單元 42 左邊之連結被截斷時的情形) 時的動作原理。在開始讀取動作之前，第一控制訊號  $Y1$ 、第二控制訊號  $TWL$ 、第三控制訊號  $FIC$  均被設定為邏輯值 "0"，而第四控制訊號  $SAEB$  則被設定為邏輯值 "1"，因此反相訊號  $Y1b$  及  $TWLB$  係為邏輯值 "1"，字元線之訊號係與第二控制訊號  $TWL$  同步故為邏輯值 "0"，而第



#### 五、發明說明 (15)

五控制訊號則為邏輯值 "1"。在此一狀態下，選擇模組 3 之第一、第二選擇 NMOS電晶體 48、50及第一、第二隔離 NMOS電晶體 68、70會被關閉，預先充電模組 32之 NMOS電晶體 44、46、電荷分配模組之 NMOS電晶體 64、66及感測模組 38之 NMOS電晶體 82、84則會被開啟，而使得第一及第二位元線  $BL_{11}$ 、 $BL_{12}$ 、第一及第二資料線  $DL_1$ 、 $DL_2$ 、以及第一及第二輸出訊號線  $OUT_1$ 、 $OUT_2$ 均被預先充電至 0V；第一及第二容電 52、54會因為 PMOS電晶體 56、58之開啟而被充電並儲存有電荷，使得第一及第二節點  $N_1$ 、 $N_2$ 上之電位均為  $V_{DD}$ ，同時此時 NMOS電晶體 60、62係處於關閉狀態；而於感測模組 38中由該第一反向器及該第二反向器所構成之門鎖器則會因為 PMOS電晶體 72被關閉而處於失能狀態。

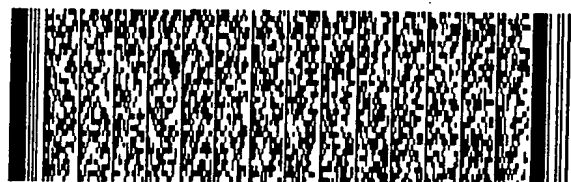
當開始讀取動作後，首先第一控制訊號  $Y1$ 及第三控制訊號  $FIC$ 同時被切換為邏輯值 "1"（即  $V_{DD}$ ），則第一及第二充電 NMOS電晶體 44、46、以及 NMOS電晶體 82、84會被關閉以停止對第一及第二資料線  $BL_{11}$ 、 $BL_{12}$ 、以及第一及第二輸出訊號線  $OUT_1$ 、 $OUT_2$ 之充電動作，同時第一及第二選擇 NMOS電晶體 48、50、以及第一及第二隔離 NMOS電晶體 68、70則會被開啟，使得第一及第二位元線  $BL_{11}$ 、 $BL_{12}$ 、第一及第二資料線  $DL_1$ 、 $DL_2$ 、以及第一及第二輸出訊號線  $OUT_1$ 、 $OUT_2$ 能夠相互分配電荷。



#### 五、發明說明 (16)

緊接著第二控制訊號 TWL 以及與第二控制訊號 TWL 同步之字元線 WL 被切換為邏輯值 "1"，則記憶體單元 42 當中之二 NMOS 電晶體會因為字元線 WL 之切換而被開啟，如此則記憶體單元 42 當中連結未被截斷之一側的位元線（於本實施例中為第二位元線  $BL_{12}$ ）會經由該 NMOS 電晶體之通道連接至接地端。此外又由於第二控制訊號 TWL 被切換為邏輯值 "1"，NMOS 電晶體 64、66 會被關閉而停止對第一及第二資料線  $DL_1$ 、 $DL_2$  之充電動作，同時 PMOS 電晶體 56、58 亦會被關閉而停止對第一及第二電容 52、54 之充電動作，而 NMOS 電晶體 60、62 則會被開啟，如此一來第一及第二電容 52、54 將透過 NMOS 電晶體 60、62 之通道開始與第一及第二位元線  $BL_{11}$ 、 $BL_{12}$ 、第一及第二資料線  $DL_1$ 、 $DL_2$ 、以及第一及第二輸出訊號線  $OUT_1$ 、 $OUT_2$  進行電荷分配。

在此假設第一及第二電容 52、54 之電容值同為  $C_c$ ，而第一位元線  $BL_{11}$ 、第一資料線  $DL_1$ 、及第一輸出訊號線  $OUT_1$  之總和電容值（即等於第二位元線  $BL_{12}$ 、第二資料線  $DL_2$ 、及第二輸出訊號線  $OUT_2$  之總和電容值）為  $C$ （ $BL+DL+OUT$ ），則由於先前第一及第二電容 52、54 係被充電至  $V_{DD}$ ，而上述所有位元線、資料線及輸出訊號線均被充電至 0V，因此經過電荷分配的過程後，第一位元線  $BL_{11}$ 、第一資料線  $DL_1$ 、及第一輸出訊號線  $OUT_1$  上之電壓將上升至  $V_{SHARE} = V_{DD} \times C_c \div (C_c + C(BL+DL+OUT))$ ，如圖



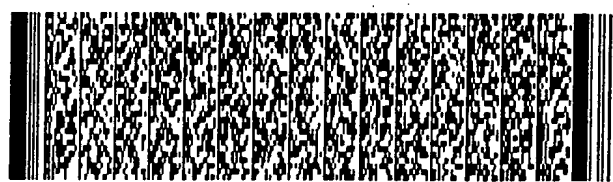
#### 五、發明說明 (17)

三所示。但是第二位元線  $BL_{12}$ 、第二資料線  $DL_2$ 、及第二輸出訊號線  $OUT_2$  上之電壓，則因為藉由記憶體單元 42 中之 NMOS 電晶體的通道連接至接地點之故，會於短暫時間之上升後回歸至 0V，如圖三所示。

接下來，第四控制訊號 SAEB 則會被切換為邏輯值 "0" (即 0V)，則 PMOS 電晶體 72 會被開啟而使得感測模組 38 中由該二反向器所組成之門鎖器進入致能狀態，如此一來第一及第二輸出訊號線  $OUT_1$ 、 $OUT_2$  上之訊號會由於該門鎖器之作用而分別被門鎖於  $V_{DD}$  及 0V，而位於第一輸出訊號線  $OUT_1$  上之輸出訊號則可被讀取出來，此時該輸出訊號係相對應於記憶體單元 42 中所儲存之數位資料，為邏輯值 "1"。此外，位於第一位元線  $BL_{11}$ 、第一資料線  $DL_1$  上之電壓，則會因為第一選擇 NMOS 電晶體 48 及第一隔離 NMOS 電晶體 68 之作用而被限制在  $(V_{DD} - V_{TH})$  的大小 (此處  $V_{TH}$  係為 NMOS 電晶體之臨界電壓)，可降低預先充電及感測電路 30 於操作時之功率耗損。

最後，依序將第三控制訊號 FIC 切換回邏輯值 "0"、將第四控制訊號 SAEB 切換回邏輯值 "1"、再將第一控制訊號  $Y_1$  及第二控制訊號 TWL (以及字元線  $WL_1$ ) 切換回邏輯值 "0"，以為下一階段之讀取動作進行準備。

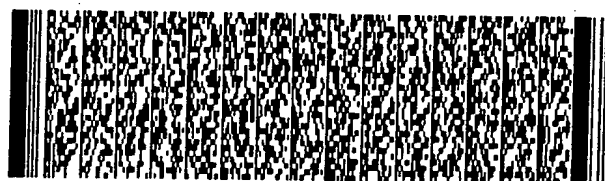
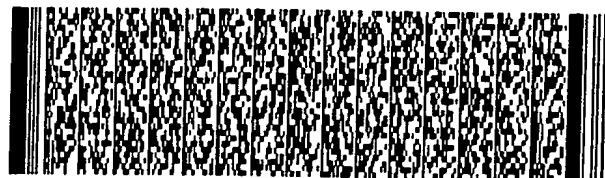
於圖三之後半段中係顯示本發明之預先充電及感測



#### 五、發明說明 (18)

電路 30 於讀取記憶體單元陣列 40 之另一記憶體單元 42 中所儲存之數位資料 "0" (即當記憶體單元 42 右邊之連結被截斷時的情形) 時的動作原理。此時第一、第二、第三及第四控制訊號 Y1、TWL、FIC、SAEB 之動作與讀取數位資料 "1" 時該等控制訊號之動作係完全相同，而由於此時於記憶體單元 42 中係右邊之連結被截斷，故第一及第二位元線  $BL_{11}$ 、 $BL_{12}$  上之電壓值與讀取邏輯值 "1" 時相反，第一及第二資料線  $DL_1$ 、 $DL_2$  上之電壓值與讀取邏輯值 "1" 時相反，且第一及第二輸出訊號線  $OUT_1$ 、 $OUT_2$  上之電壓值亦與讀取邏輯值 "1" 時相反，如圖三所示。最後則位於第一輸出訊號線  $OUT_1$  上之輸出訊號可被讀取出來，此時該輸出訊號係相對應於記憶體單元 42 中所儲存之數位資料，為邏輯值 "0"。

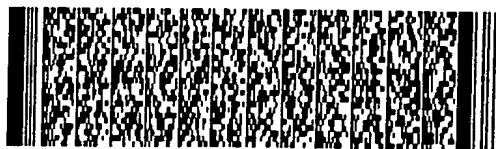
相較於習知技術，本發明之預先充電及感測電路係利用一預先充電模組及一電荷分配模組將該第一位元線、該第二位元線、一第一資料線及一第二資料線均預先充電至接地電壓，如此則被選取之位元線上的記憶體單元之資料讀取將不會受到未被選取之位元線的漏電流效應之影響，而該電荷分配模組亦會於讀取資料時對該第一資料線及該第二資料線進行電荷分配，進而加快了該第一資料線及該第二資料線上之訊號進入穩定狀態的速度。此外，位於位元線及資料線上之電壓，則會因為一選擇 NMOS 電晶體及一隔離 NMOS 電晶體之作用而被限制



五、發明說明 (19)

在  $(V_{DD} - V_{TH})$  的大小，可降低該預先充電及感測電路於操作時之功率耗損。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變與修飾，皆屬於本發明專利之涵蓋範圍。





圖式簡單說明

圖式之簡單說明

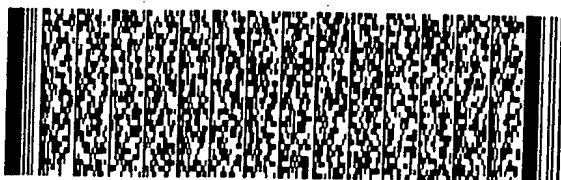
圖一為習知技術之感測電路的示意圖。

圖二為本發明之預先充電及感測電路的示意圖。

圖三為圖二中之預先充電及感測電路於讀取資料時的時序圖。

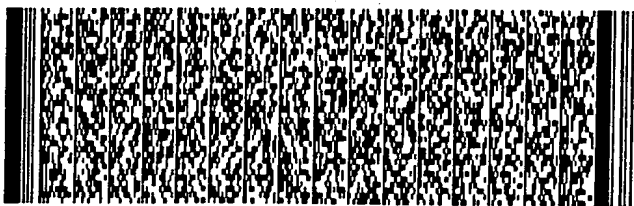
圖式之符號說明

10	感測電路
12、16、32	預先充電模組
14、34	選擇模組
20、40	記憶體單元陣列
22、42	記憶體單元
30	預先充電及感測電路
36	電荷分配模組
38	感測模組
44、46、48、50、60、62、64、66、68、70、78、80、82、84	NMOS電晶體
52、54	電容
56、58、72、74、76	PMOS電晶體



## 六、申請專利範圍

1. 一種差動式唯讀記憶體之預先充電及感測電路，用來感測該唯讀記憶體之記憶體單元中所以儲存之邏輯資料，該記憶體單元可連接於一第一位元線及一第二位元線二者其中一條位元線，用來供應該第一位元線或該第二位元線數位訊號，該預先充電及感測電路包含有：  
一預先充電模組，電連接於該第一位元線及該第二位元線，用來對該第一位元線及該第二位元線進行預先充電；  
一選擇模組，電連接於該第一位元線、該第二位元線、一第一資料線及一第二資料線，用來依據一第一控制訊號將該第一位元線之訊號傳送至該第一資料線及將該第二位元線之訊號傳送至該第二資料線；  
一電荷分配模組，電連接於該第一資料線及該第二資料線，用來對該第一資料線及該第二資料線進行預先充電，並依據一第二控制訊號將該電荷分配模組中所儲存之電荷分配至該第一資料線及該第二資料線；以及  
一感測模組，電連接於該第一資料線及該第二資料線，用來感測該第一資料線及該第二資料線之訊號以產生一輸出訊號。
2. 如申請專利範圍第1項所述之預先充電及感測電路，其中該電荷分配模組包含有：  
一第一電容，其一端電連接於一第一節點而另一端接地，用來儲存欲分配至該第一資料線之電荷；



#### 六、申請專利範圍

一 第一 PMOS電晶體，其源極電連接於一電源供應電壓，其閘極電連接於該第二控制訊號，其汲極電連接於該第一節點；

一 第一 NMOS電晶體，其汲極電連接於該第一節點，其閘極電連接於該第二控制訊號，其源極電連接於該第一資料線；

一 第二電容，其一端電連接於一第二節點而另一端接地，用來儲存欲分配至該第二資料線之電荷；

一 第二 PMOS電晶體，其源極電連接於該電源供應電壓，其閘極電連接於該第二控制訊號，其汲極電連接於該第二節點；以及

一 第二 NMOS電晶體，其汲極電連接於該第二節點，其閘極電連接於該第二控制訊號，其源極電連接於該第二資料線。

3. 如申請專利範圍第2項所述之預先充電及感測電路，其中該電荷分配模組另包含有：

一 第三 NMOS電晶體，其汲極電連接於該第一資料線，其閘極電連接於該第二控制訊號之反相訊號，其源極接地，用來對該第一資料線進行預先充電；以及

一 第四 NMOS電晶體，其汲極電連接於該第二資料線，其閘極電連接於該第二控制訊號之反相訊號，其源極接地，用來對該第二資料線進行預先充電。



六、申請專利範圍

4. 如申請專利範圍第1項所述之預先充電及感測電路，其中該預先充電模組包含有：

- 一 第一充電 NMOS 電晶體，其汲極電連接於該第一位元線，其閘極電連接於該第一控制訊號之反相訊號，其源極接地；以及
- 一 第二充電 NMOS 電晶體，其汲極電連接於該第二位元線，其閘極電連接於該第一控制訊號之反相訊號，其源極接地。

5. 如申請專利範圍第1項所述之預先充電及感測電路，其中該選擇模組包含有：

- 一 第一選擇 NMOS 電晶體，其汲極電連接於該第一位元線，其閘極電連接於該第一控制訊號，其源極電連接於該第一資料線；以及
- 一 第二選擇 NMOS 電晶體，其汲極電連接於該第二位元線，其閘極電連接於該第一控制訊號，其源極電連接於該第二資料線。

6. 如申請專利範圍第1項所述之預先充電及感測電路，其中該感測模組包含有：

- 一 第一隔離 NMOS 電晶體，其汲極電連接於該第一資料線，其閘極電連接於一第三控制訊號，其源極電連接於一第一輸出訊號線；
- 一 第二隔離 NMOS 電晶體，其汲極電連接於該第二資料



#### 六、申請專利範圍

線，其閘極電連接於該第三控制訊號，其源極電連接於一第二輸出訊號線；

一第一反向器，其輸入端電連接於該第二輸出訊號線，

其輸出端電連接於該第一輸出訊號線；以及

一第二反向器，其輸入端電連接於該第一輸出訊號線，

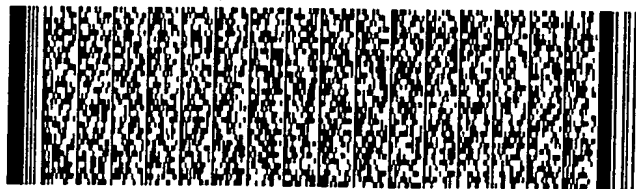
其輸出端電連接於該第二輸出訊號線；

其中該輸出訊號係產生於該第一輸出訊號線上，而該輸出訊號之反相訊號則產生於該第二輸出訊號線上。

7. 如申請專利範圍第6項所述之預先充電及感測電路，其中該感測模組另包含有一致能PMOS電晶體，其源極電連接於一電源供應電壓，其閘極電連接於一第四控制訊號，其汲極電連接於該第一反向器及該第二反向器，用來依據該第四控制訊號控制該感測電路之致能及失能。

8. 如申請專利範圍第7項所述之預先充電及感測電路，其中該第一反向器包含有一PMOS電晶體及一NMOS電晶體，該PMOS電晶體及該NMOS電晶體之閘極相連接以作為該第一反向器之輸入端，該PMOS電晶體及該NMOS電晶體之汲極相連接以作為該第一反向器之輸出端，該PMOS電晶體之源極電連接於該致能PMOS電晶體之汲極，而該NMOS電晶體之源極則接地。

9. 如申請專利範圍第7項所述之預先充電及感測電路，

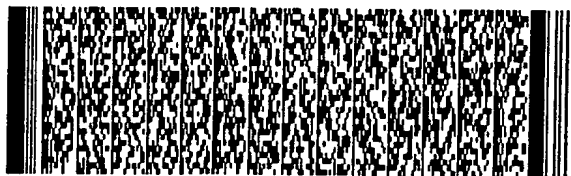


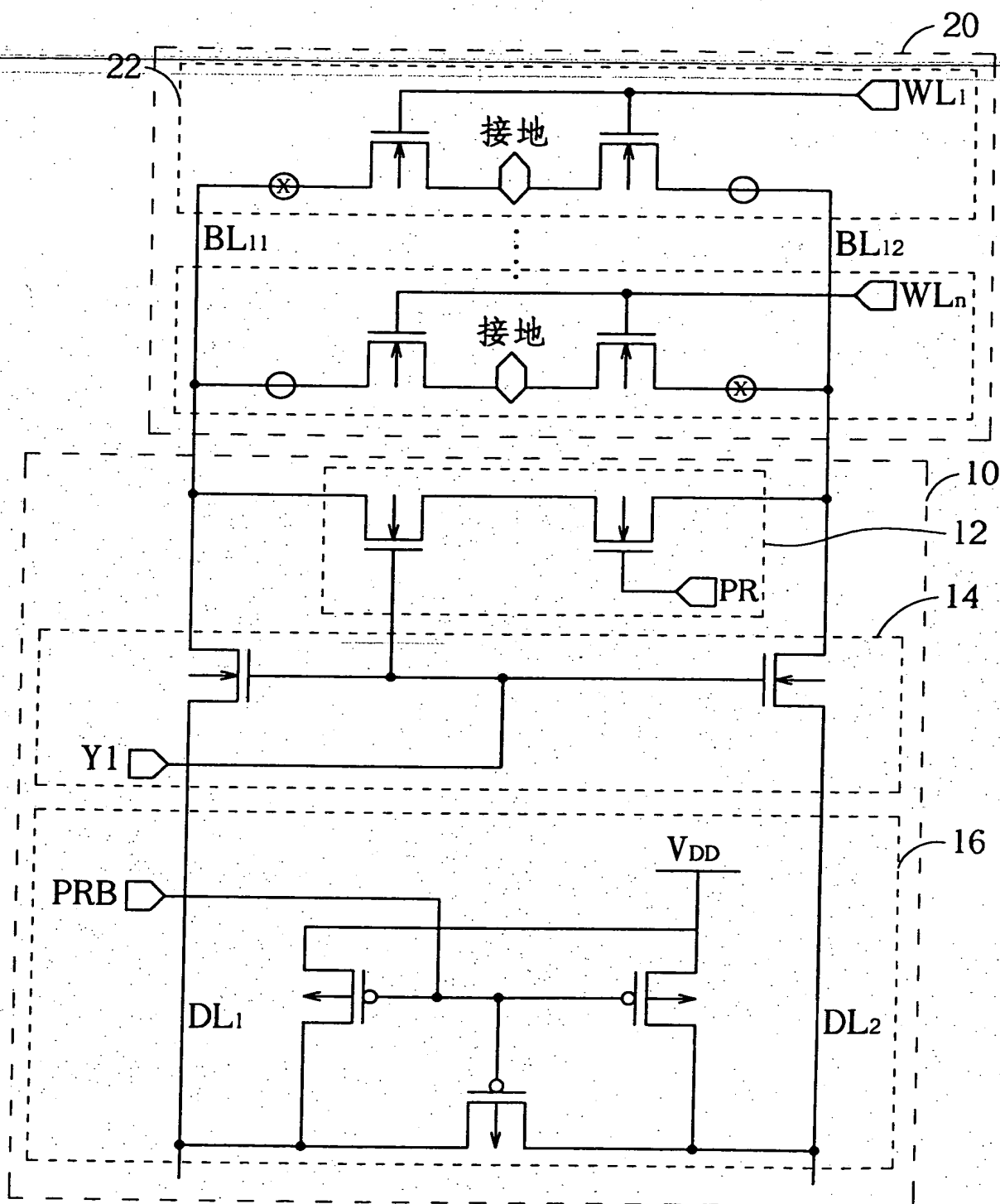
#### 六、申請專利範圍

其中該第二反向器包含有一 PMOS 電晶體及一 NMOS 電晶體，該 PMOS 電晶體及該 NMOS 電晶體之閘極相連接以作為該第二反向器之輸入端，該 PMOS 電晶體及該 NMOS 電晶體之汲極相連接以作為該第二反向器之輸出端，該 PMOS 電晶體之源極電連接於該致能 PMOS 電晶體之汲極，而該 NMOS 電晶體之源極則接地。

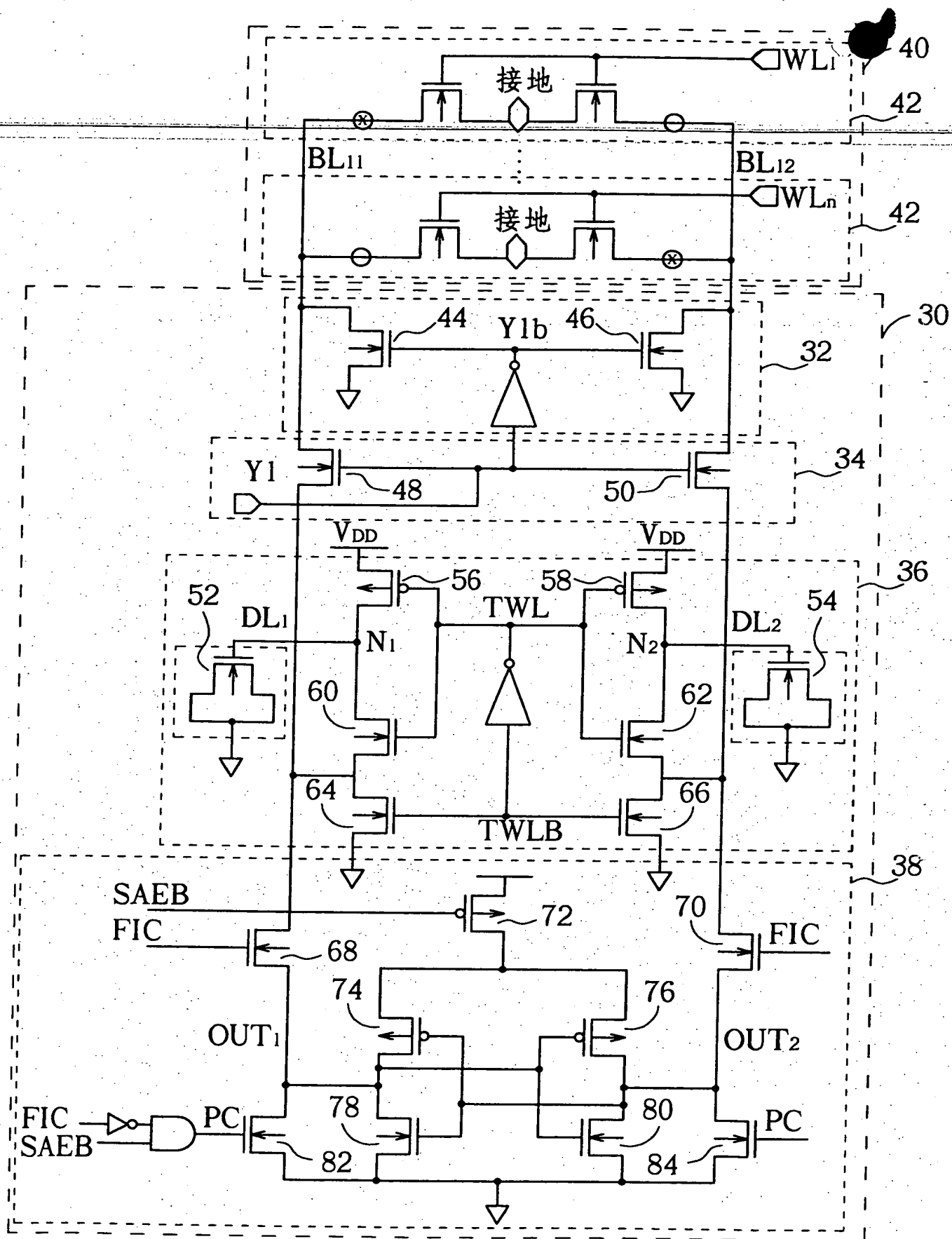
10. 如申請專利範圍第 6 項所述之預先充電及感測電路，其中該感測模組另包含有：

一第三 NMOS 電晶體，其汲極電連接於該第一輸出訊號線，其閘極電連接於一第五控制訊號，其源極接地，用來對該第一輸出訊號線進行預先充電；以及  
一第四 NMOS 電晶體，其汲極電連接於該第二輸出訊號線，其閘極電連接於該第五控制訊號，其源極接地，用來對該第二輸出訊號線進行預先充電。



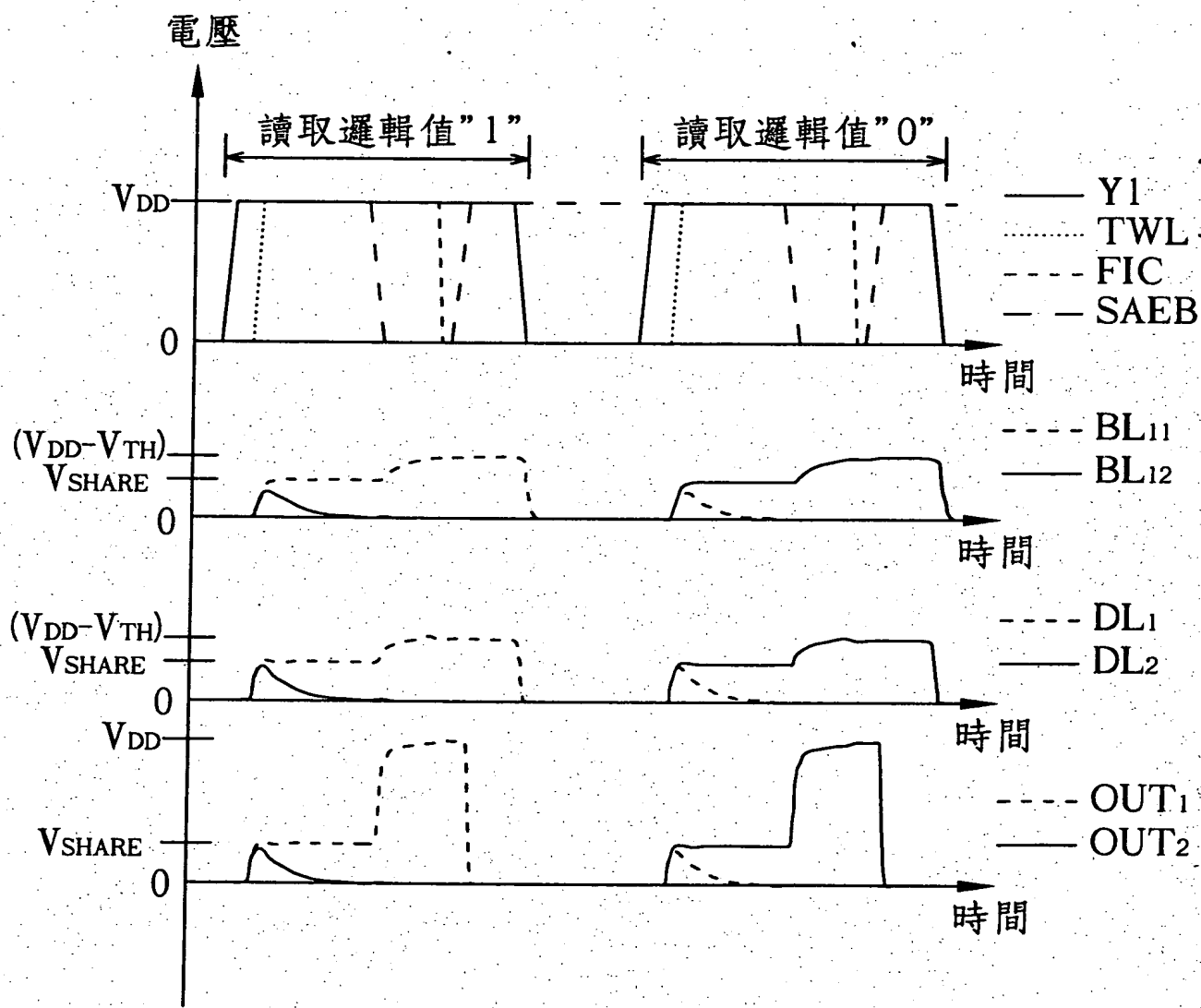


圖一



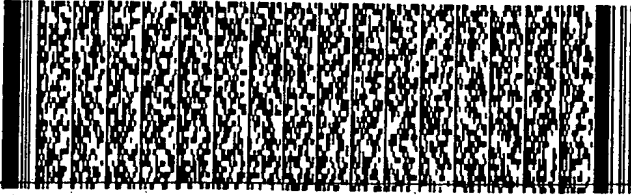
圖二



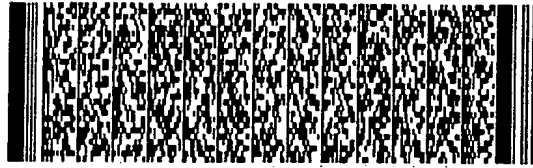


圖三

第 1/30 頁



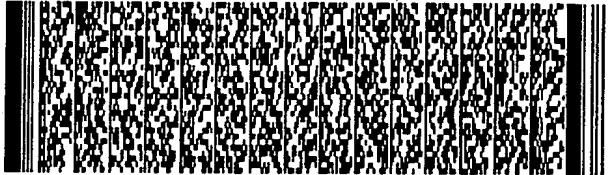
第 2/30 頁



第 2/30 頁



第 3/30 頁



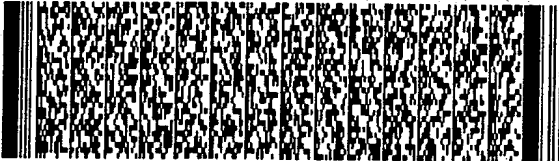
第 4/30 頁



第 5/30 頁



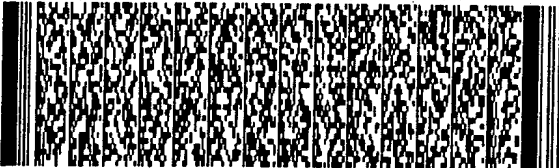
第 6/30 頁



第 6/30 頁



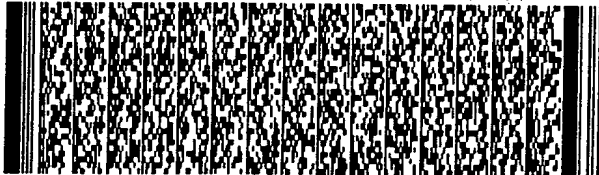
第 7/30 頁



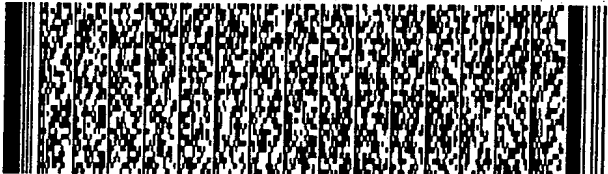
第 7/30 頁



第 8/30 頁



第 8/30 頁



第 9/30 頁



第 9/30 頁



第 10/30 頁



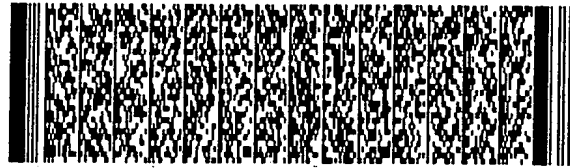
第 10/30 頁



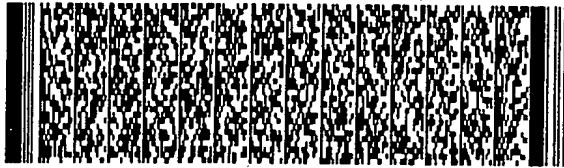
第 11/30 頁



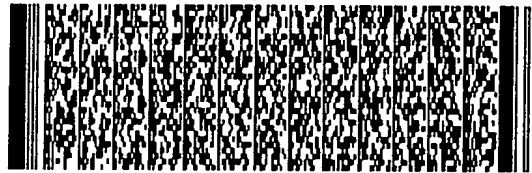
第 12/30 頁



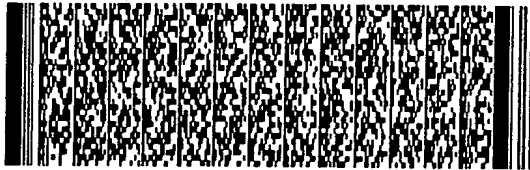
第 12/30 頁



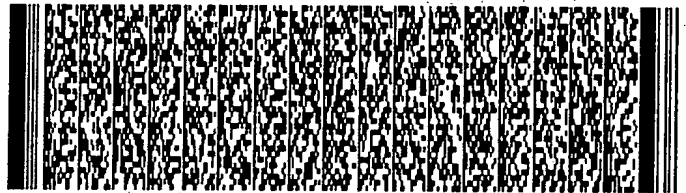
第 13/30 頁



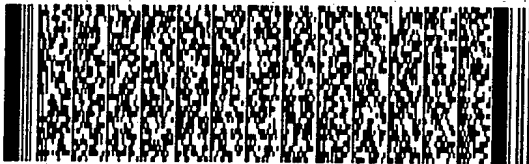
第 13/30 頁



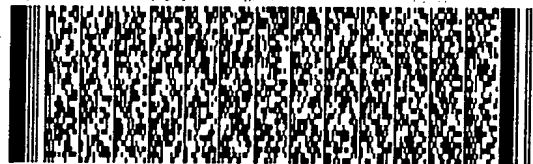
第 14/30 頁



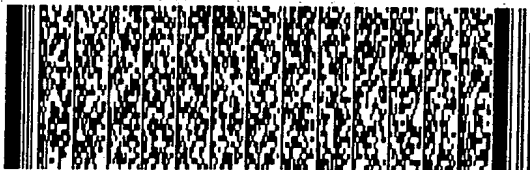
第 15/30 頁



第 15/30 頁



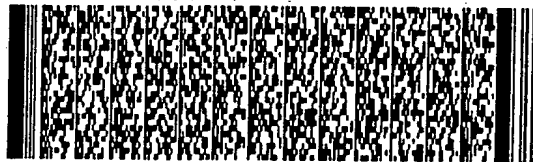
第 16/30 頁



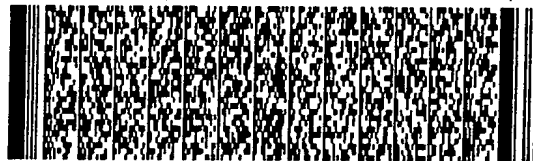
第 16/30 頁



第 17/30 頁



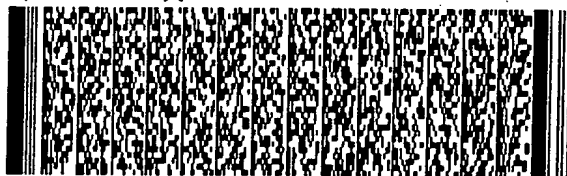
第 17/30 頁



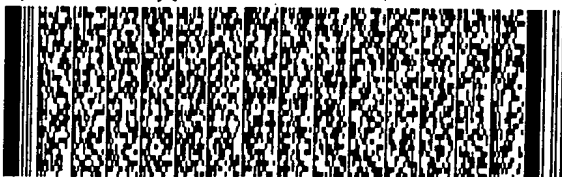
第 18/30 頁



第 18/30 頁



第 19/30 頁



第 19/30 頁



